

EP04/52548

PA 1235581

THE UNITED STATES OF AMERICA

TO ALL TO WHOM THESE PRESENTS SHALL COME:

UNITED STATES DEPARTMENT OF COMMERCE

United States Patent and Trademark Office

REC'D 22 NOV 2004
WIPO PCT

October 12, 2004

THIS IS TO CERTIFY THAT ANNEXED HERETO IS A TRUE COPY FROM THE RECORDS OF THE UNITED STATES PATENT AND TRADEMARK OFFICE OF THOSE PAPERS OF THE BELOW IDENTIFIED PATENT APPLICATION THAT MET THE REQUIREMENTS TO BE GRANTED A FILING DATE UNDER 35 USC 111.

APPLICATION NUMBER: 60/568,700

FILING DATE: May 07, 2004

**PRIORITY
DOCUMENT**

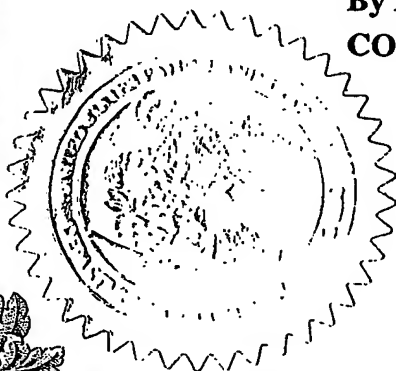
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

EPO - DG 1

26. 10. 2004

(71)

By Authority of the
COMMISSIONER OF PATENTS AND TRADEMARKS



T. Lawrence

T. LAWRENCE
Certifying Officer

BEST AVAILABLE COPY

PROVISIONAL APPLICATION COVER SHEET

This is a request for filing a PROVISIONAL APPLICATION under 37 CFR 1.53(c).

Docket Number 252919US2PROV

22264 U.S. PTO
60/568700

INVENTOR(s)/APPLICANT(s)

LAST NAME	FIRST NAME	MIDDLE INITIAL	RESIDENCE (CITY AND EITHER STATE OR FOREIGN COUNTRY)
ASPAR	Bernard		RIVES, France
LAGAHE-BLANCHARD	Chrystelle		Saint-Joseph De Riviere, France

☐ Additional inventors are named on separately numbered sheets attached hereto.

TITLE OF THE INVENTION (500 CHARACTERS MAX)

PROCEDE DE PREPARATION ET D'ASSEMBLAGE DE SUBSTRATS

CORRESPONDENCE ADDRESS

Customer Number
22850

Phone: (703) 413-3000

Fax: (703) 413-2220

ENCLOSED APPLICATION PARTS

- ☒ Specification Number of Pages: 24 ☐ CD(s), Number
☒ Drawing(s) Number of Sheets: 6 ☒ Other (specify): Advance Serial Number Card
☒ Application Data Sheet

METHOD OF PAYMENT

- ☐ Applicant claims small entity status. See 37 CFR 1.27.
☐ A check or money order is enclosed to cover the Provisional Filing Fees
☒ Credit card payment form is attached to cover the Provisional Filing Fees in the amount of \$160.00
☐ The Director is hereby authorized to charge filing fees and credit any overpayment to Deposit Account Number 15-0030

PROVISIONAL \$160.00
FILING FEE
AMOUNT

The invention was made by an agency of the United States Government or under a contract with an agency of the United States Government.

☒ No.

☐ Yes, the name of the U.S. Government agency and the Government contract number are:

Respectfully Submitted,

5-7-04

DATE

Gregory J. Maier

Registration No. 25,599

Eckhard H. Kuesters

Eckhard H. Kuesters

Registration No. 28,870

PROVISIONAL APPLICATION FILING ONLY

GJM:fbf

I:\USER\FBLAZ\PROVISIONAL APPLICATION\252919.PROV.APPL.TRANS.DOC

**PROCEDE DE PREPARATION ET D'ASSEMBLAGE DE SUBSTRATS****Domaine technique et art anterieur**

5 L'invention concerne le domaine de l'assemblage de plaques ou de tranches ou de couches de matériaux, notamment semi-conducteurs, et de leur préparation en vue de leur assemblage.

Parmi les techniques d'assemblage de tels substrats, l'adhésion moléculaire permet d'assembler
10 des structures planes, présentant une faible rugosité de surface.

Elle permet d'obtenir des structures originales et est particulièrement bien adaptée pour associer entre elles des plaques de matériaux utilisées
15 pour la microélectronique, telles que, par exemple, des plaques de silicium, ou de matériaux III-V (AsGa, InP), ou des substrats en verre ou en silice fondue.

Aujourd'hui cette technique est utilisée industriellement par exemple pour fabriquer du matériau
20 SOI (silicium sur isolant ou « Silicon On Insulator »).

Les procédés connus de fabrication de matériaux SOI qui utilisent l'adhésion moléculaire mettent en oeuvre deux plaques 2, 4 de silicium (figure 1, partie A), dont au moins une des deux présente une
25 couche 6 d'oxyde en surface.

Ces deux plaques sont de dimensions standards. Les bords 5, 7 en sont généralement chanfreinés, afin d'éviter les cassures susceptibles de se produire au cours des procédés ultérieurs de
30 fabrication des composants ou en cas de chocs sur des arrêtes qui seraient restées vives. Il existe des

chanfreins de forme arrondie et/ou biseautée. La figure 2 représente de manière plus détaillée un exemple d'une zone de chanfrein 5, de largeur L (mesurée dans un plan parallèle au plan moyen P de la plaque), d'une plaque 4, d'épaisseur e.

L'assemblage comprend d'abord une étape de préparation de surface, une étape de mise en contact (figure 1, partie B), suivi généralement d'une étape de traitement thermique.

De façon classique ce traitement thermique est réalisé à 1100°C durant 2h pour les substrats SOI.

Ensuite, comme illustré sur la figure 1, partie C, au moins une des deux plaques est amincie par rectification et/ou polissage mécanique et/ou polissage mécano-chimique.

Les chanfreins 5, 7 entraînent la présence d'une zone non collée sur les bords de plaque.

Après amincissement, une membrane 8 en silicium reste donc collée au centre, mais est décollée sur les bords, comme on le voit sur la figure 1, partie C.

Le bord non collé de la membrane doit être éliminé, car il est susceptible de se casser de façon non contrôlée et d'induire des particules sur les autres surfaces, et notamment sur la surface 9 de la membrane 8, ou sur des composants réalisés dans la membrane 8.

Pour cela une étape de détournage ou d'élimination de matière en zone périphérique est réalisée afin d'éliminer cette zone de bord de la membrane 8, comme illustré sur la figure 1, partie D.

Ce détournage est généralement réalisé par un moyen mécanique.

Cette étape est très délicate. Par exemple, dans le cas d'un usinage mécanique, il est difficile de
5 détourner tout en s'arrêtant précisément au niveau de l'interface de collage, qui est ici la surface supérieure de la couche 6 d'oxyde. En effet, soit on s'arrête juste au-dessus de cette interface et il reste une partie de matière au-dessus de celle-ci, soit on
10 s'arrête dans le support 2 et l'état de surface poli des bords de la face avant du support est perdu.

Il est donc important de trouver un moyen de détourner proprement et précisément une plaque de matériau.

15 Ce phénomène est également important dans le cas où au moins une des deux plaques contient tout ou partie d'un dispositif électronique, ou optoélectronique, ou un microsystème, ou un nanosystème, ou un autre composant.

20 Le même problème se pose si l'assemblage des deux plaques est réalisé par collage au lieu de l'être par adhésion moléculaire, ou encore en l'absence de couche 6 d'oxyde en surface de la plaque 12.

EXPOSÉ DE L'INVENTION

25 L'invention concerne un procédé d'assemblage d'une première et d'une deuxième plaques de matériaux, comportant :

- une étape de détournage d'au moins la première plaque,

- une étape d'assemblage de la première plaque, détournée, et de la deuxième plaque.

Selon l'invention, une étape d'usinage ou de détournage, ou d'élimination de la matière dans une portion périphérique d'au moins la première plaque, est donc réalisée avant de coller ou d'assembler les deux plaques entre elles.

Une étape d'amincissement d'au moins la première plaque peut ensuite être réalisée, laissant subsister une couche sur la deuxième plaque. On a ainsi réalisé un report ou un transfert de cette couche.

L'invention concerne aussi un procédé de report ou de transfert d'une couche de matériau ou de circuits ou de composants, dite couche à reporter ou à transférer, comportant :

- le détournage d'une première plaque de matériau, ou l'élimination de matière dans une portion périphérique d'une première plaque, dans laquelle la couche à reporter est réalisée, au moins dans une zone localisée autour ou à la périphérie de cette couche à reporter,

- le report, ou le transfert, de cette couche sur une deuxième plaque de matériau.

Ce report ou ce transfert est effectué par assemblage de la première et de la deuxième plaque puis amincissement de la première plaque.

La première plaque du procédé d'assemblage ou de report ou de transfert est par exemple une plaque chanfreinée, présentant au moins un bord chanfreiné. Le détournage concerne alors au moins une partie du bord chanfreiné. Il peut aussi attaquer une partie,

notamment périphérique, de la couche à reporter ou à transférer.

Le procédé d'assemblage ou de report selon l'invention permet donc d'obtenir une structure avec
 5 une première plaque, éventuellement chanfreinée, très bien détournée avant assemblage, le détournage ne posant pas les problèmes exposés ci-dessus dans le cadre de l'art antérieur, problèmes induits par la présence de la deuxième plaque.

10 Il peut s'appliquer aussi bien à des plaques contenant tout ou partie d'un composant électronique ou autre, qu'à des plaques brutes, telles que des plaques dites « bulk ».

Les étapes de détournage avant assemblage
 15 peuvent être réalisées avant ou après d'éventuelles étapes de préparation de surface en vue de l'assemblage ou du report.

La première plaque peut être détournée sur toute son épaisseur, ou sur une épaisseur inférieure,
 20 par exemple égale ou supérieure à l'épaisseur finale de la couche que l'on souhaite obtenir ou reporter sur la deuxième plaque.

Selon une variante, le détournage peut aussi être réalisé sur une épaisseur qui est inférieure à
 25 cette épaisseur finale.

Dans ce cas, il peut être intéressant de finir le détournage, de façon classique, après assemblage, par l'une ou l'autre des deux faces de la
 première plaque.

30 Si les substrats ou plaques ont des dimensions initiales ou de diamètres initiaux

comparables, l'épaisseur du détournage peut être telle que la plaque détournée a, après détournage, une dimension ou un diamètre inférieur à celui de l'autre plaque.

5 De façon préférentielle, dans le cas où la première plaque comporte une tombée de bord ou un chanfrein, la largeur, mesurée dans le plan de la plaque, sur laquelle la plaque supérieure est détournée, est supérieure ou égale à la largeur de la tombée du
10 bord ou du chanfrein.

Elle peut aussi avoir une largeur supérieure ou égale à la largeur de la zone qui ne peut pas coller ou être assemblée à cause de la tombée de bord ou du chanfrein.

15 La première plaque peut comporter une zone ou un plan de fragilisation ou de clivage, créée en profondeur par exemple par implantation d'hydrogène ou par création d'une zone poreuse enterrée ou par création d'une interface de collage démontable.

20 Lorsque l'épaisseur de la zone détournée est supérieure à l'épaisseur de la couche mince à obtenir, cette plaque détournée peut être recyclée, sans même nécessiter un détournage avant collage sur un nouveau substrat. Un nouveau plan de fragilisation peut alors
25 être créé, puis il peut y avoir un assemblage direct avec un nouveau substrat.

L'assemblage des deux plaques peut être réalisé par adhésion moléculaire ou par collage, par apport de matière comme par exemple une colle ou une
30 cire.

BREVE DESCRIPTION DES FIGURES

La figure 1, parties A-D, représente des étapes d'un procédé connu d'assemblage de substrats,

la figure 2 représente une partie d'un
5 substrat et de sa tombée de bord,

la figure 3, parties A-D, représente des étapes d'un procédé selon l'invention,

la figure 4, parties A-C et 5, parties A-B représente une variante d'un procédé selon l'invention,

10 la figure 6, parties A-D, représente une variante d'un procédé selon l'invention, dans le cas d'un substrat muni d'un plan de fragilisation,

la figure 7, parties A-D représente une variante d'un procédé selon l'invention, dans le cas
15 d'un substrat muni d'une couche de protection ou de collage,

la figure 8, parties A-B représente des plaques détournées en vue de face,

la figure 9 représente une plaque de
20 matériau avec épaulement latéral.

EXEMPLE DE MODES DE REALISATION DE L'INVENTION

La figure 3, parties A-D représente des étapes d'un procédé selon l'invention.

Deux plaques 12, 14 sont sélectionnées, par
25 exemple deux plaques de matériau semi-conducteur, telles que des plaques standards de silicium.

Typiquement ces plaques peuvent avoir des épaisseurs comprises entre 300 μm et 800 μm . Ce sont par exemple des plaques de 100 mm ou 200 mm ou 300 mm
30 de diamètre.

Pour les raisons déjà évoquées ci-dessus, les bords 15, 17 en sont chanfreinés.

Des composants ou des circuits 16 peuvent avoir été préalablement réalisés dans la plaque 12, mais l'invention concerne aussi le cas d'une plaque 12 vierge de tout circuit, la référence 16 désignant alors une couche de matériau à reporter sur la plaque 14. Sur la figure 3, partie B, la surface de cette couche 16 de circuits ou de matériau à reporter ou à transférer effleure la surface de la plaque 12.

Une étape de détournage, ou d'élimination de la matière, est ensuite réalisée (figure 3, partie B), à partir de la face 19 de la plaque 12 à assembler avec la plaque 14, sur une épaisseur e_d et une largeur L_d . Cette dernière étant mesurée dans un plan parallèle au plan moyen de la plaque. Cette étape, réalisée avant l'étape d'assemblage ou de report sur la plaque 14, permet d'éliminer, au moins partiellement et à partir de la face d'assemblage 19, la matière située dans la zone périphérique, ou située autour de la couche 16 à reporter, zone qui est susceptible de présenter les problèmes causés par les bords non collés.

L_d est de préférence supérieure ou égale à la largeur L de tombée de bord ou de chanfrein (figure 2). Elle peut être de l'ordre de quelques centaines de μm à quelques mm, par exemple comprise entre 100 μm et 5 mm.

L_d est notamment supérieure à L dans le cas où la zone de non-collage ou qui ne peut adhérer avec un substrat après assemblage, comme illustré sur l'étape C de la figure 1, est elle-même supérieure à L .

En fait, cette zone de « non-collage » ou de « non-assemblage » dépend de la façon dont est réalisée la tombée de bord sur la plaque 12 mais aussi sur la plaque 14.

5 Elle peut aussi dépendre d'étapes technologiques qui peuvent avoir été préalablement réalisées sur la plaque supérieure 12 et sur la plaque support 14. Par rapport à la largeur L, certaines étapes peuvent augmenter la largeur de cette zone non
10 collée (par exemple des étapes d'oxydation, ou de dépôt), d'autres peuvent diminuer cette même largeur (une étape de planarisation ou d'aplanissement ou de polissage par exemple).

15 Ld pourra donc être supérieure ou égale à la largeur de cette zone de non-collage ou de non-assemblage.

L'épaisseur e_d sera quant à elle inférieure à l'épaisseur e de la plaque. Elle peut être sensiblement égale ou supérieure ou inférieure à
20 l'épaisseur de la couche 16 (étape D, figure 3) ou de la membrane devant être obtenue après l'étape ultérieure d'amincissement ou de report sur la plaque 14.

25 A titre d'exemple e_d peut être de l'ordre de quelques μm ou comprise entre 1 μm (ou 10 μm) et 100 μm ou encore entre 5 μm et 60 μm . La couche 16, quant à elle, peut avoir une épaisseur comprise, par exemple, entre 1 μm et 60 μm .

30 Si e_d est inférieure à l'épaisseur de la couche 16 (étape D, figure 3) ou de la membrane devant être obtenue après l'étape ultérieure d'amincissement

ou de report, alors l'étape d'assemblage peut être suivie d'un détournage complémentaire de la portion de substrat 12 restante, comme il sera expliqué ci-dessous.

- 5 L'étape de détournage avant assemblage peut être réalisée de façon mécanique, et/ou chimique (notamment humide) et/ou par plasma et/ou mécano chimique. Le détournage mécanique peut être réalisé par exemple par rectification (en anglais « edge grinding »
10 ou « edge polishing »).

Il est ensuite procédé à l'assemblage des deux plaques (étape C, figure 3) par exemple par adhésion moléculaire.

- 15 Comme déjà expliqué ci-dessus, l'assemblage comporte par exemple une étape de préparation de surface, une étape de mise en contact et une étape de traitement thermique.

- 20 Ce traitement thermique est réalisé à quelques centaines de °C, par exemple entre 100 et 1200°C, par exemple encore 1100°C, et ce pendant une durée comprise entre quelques minutes et quelques heures, par exemple entre 10 minutes et 3 heures, par exemple encore 2 heures.

- 25 Ensuite, comme illustré sur la figure 3 (étape D), au moins une des deux plaques est amincie jusqu'à l'épaisseur désirée, par exemple sur une épaisseur supérieure ou égale à $e - \epsilon$, par rectification et/ou polissage mécanique et/ou polissage mécano-chimique et/ou polissage chimique. Sur la figure
30 3 (étape D) la plaque amincie est la plaque 13 préalablement détournée.

Après amincissement de cette dernière, une membrane en matériau semi-conducteur, ou bien la couche 16 de composants ou de circuits, reste donc collée ou assemblée avec la plaque 14, vers son centre. Il n'y a aucune membrane latérale ou aucun résidu latéral non collé. Le report ou le transfert de la couche 16 est donc meilleur qu'avec la technique de l'art antérieur.

La figure 4, partie A, correspond au cas, déjà évoqué ci-dessus, où la profondeur ed sur laquelle la plaque 12 a été détournée avant assemblage est insuffisante pour pouvoir complètement dégager la couche 16 lors de l'étape d'amincissement:

L'assemblage, qui a conduit à la structure de la figure 4, partie A, peut alors être suivi d'un détournage complémentaire, à partir des bords 13 situés du côté de la face avant ou de la face d'assemblage, afin d'obtenir une zone détournée sur une épaisseur ed supérieure à celle de la couche 16 (figure 4, partie B).

Il est également possible de réaliser ce détournage complémentaire à partir des bords 21 situés en face arrière, opposée à la face d'assemblage.

Cette étape de détournage complémentaire est affranchie des problèmes évoqués dans l'introduction à la présente demande : il n'y a notamment pas de risque d'attaque du substrat 14. Elle peut ensuite être suivie de l'étape d'amincissement du substrat 12, comme déjà décrit ci-dessus (figure 4, partie C).

On obtient là encore un report ou un transfert exempt de membrane ou de résidus latéraux.

Selon une variante, la plaque 12 est complètement détournée, sur toute son épaisseur (figure 5, partie A). C'est en fait le cas où $ed = e$.

L'étape d'assemblage conduit au dispositif
5 représenté en figure 5, partie B, qui peut ensuite être aminci comme expliqué ci-dessus.

La plaque 12 a alors une largeur ou un diamètre inférieur à celui de la plaque 14.

Comme illustré sur la figure 6, partie A,
10 l'invention s'applique aussi à un substrat 22 de départ dans lequel a été réalisé un plan de fragilisation 26, par exemple par implantation ionique préalable 26 (par exemple une implantation d'hydrogène) ou par formation
15 d'une zone poreuse enterrée, comme expliqué par exemple dans l'ouvrage de S.S.Iyer et al. « Silicon wafer bonding Technology for VLSI and MEMS applications », published by INSPEC, 2002, Antony Rowe Ltd, ou par formation d'une interface de collage démontable.

Il est ensuite procédé au détournage de ce
20 substrat (figure 6, partie B), sur une partie de son épaisseur ou sur toute son épaisseur, comme déjà expliqué ci-dessus, puis à l'assemblage des deux substrats 22, 24.

Par exemple, un traitement thermique permet
25 de séparer le substrat 22 au niveau de la couche d'implantation ionique d'ions hydrogène 26 (figure 6, partie D).

Il en résulte, d'une part un ensemble formé du substrat 24 muni d'une couche superficielle 28 de
30 matériau issu du substrat de départ 22, d'autre part un substrat 23, qui provient lui aussi du substrat de

départ 22 et qui est réutilisable pour des opérations ultérieures. Si l'épaisseur sur laquelle le substrat 22 a été détourné est supérieure à l'épaisseur de la couche 28 à reporter, ce substrat 22 peut notamment subir une
 5 nouvelle implantation d'ions ou d'atomes, puis une nouvelle étape de transfert, ou de report, après assemblage avec un nouveau substrat 24, mais sans qu'il soit nécessaire d'effectuer une nouvelle étape de détournage.

10 L'invention, telle que décrite ci-dessus en liaison avec l'une des figures 3 - 6, s'applique aussi au cas où le substrat 12, 22 de départ a la forme illustrée sur la figure 9, avec un épaulement 25 sur les bords de la plaque.

15 Ces épaulements définissent un renforcement situé à une profondeur p , par exemple comprise entre 50 nm et 2 μ m.

L'étape de détournage permet d'enlever ces épaulements.

20 Une étape d'implantation ionique, pour la formation d'un plan de fragilisation 26, peut avoir lieu avant, ou après, cette étape de détournage : on obtient alors une plaque identique à celle représentée sur la partie B de la figure 6. Les étapes suivantes de
 25 la figure 6 peuvent alors être enchaînées comme décrit ci-dessus.

On peut également former de manière efficace des structures de type BSOI, ou SOI épais. L'étape d'amincissement est alors mécanique et/ou
 30 mécano-chimique.

Selon un autre exemple, des composants électroniques sont réalisés dans une plaque telle que la plaque 12 (figure 3A) sur une épaisseur superficielle par exemple comprise entre 1 et 10µm.

5 On détoure par rectification, ou « surface edge grinding », le bord de plaque sur une épaisseur e_d de 50µm et sur une largeur L_d de 3 mm.

Cette étape de détourage peut être réalisée avant la préparation de surface (par exemple par planarisation mécano-chimique suivie d'un nettoyage chimique) et afin de diminuer le nombre de nettoyages avant assemblage.

15 Ensuite on colle par adhésion moléculaire la plaque détournée (contenant les composants) sur la plaque support. On recuit la structure par exemple à une température de 300°C et pendant une durée comprise entre quelques minutes et quelques heures.

Puis on amincit la plaque superficielle par rectification et polissage mécano-chimique (figure 3, 20 partie D) et/ou chimique jusqu'à une épaisseur de, par exemple, 10µm.

On obtient alors une couche reportée contenant des composants, transférée sur une plaque support.

25 Selon un autre mode de réalisation, la plaque 12 contient des composants 16 et est recouverte en surface d'une couche 18 de protection, par exemple une couche d'oxyde 18 (figure 7, partie A). Ce peut être aussi une couche de collage.

30 Par lithographie, est définie une couronne 20 qui va correspondre à la zone à détourer. Une étape

d'attaque chimique locale permet d'éliminer, au niveau de cette zone, la couche 18 de protection (figure 7, partie B).

Le bord du substrat 12 est ensuite attaqué (figure 7, partie C), par exemple par attaque chimique (ex. TMAH) ou par plasma.

La plaque est ensuite nettoyée, par exemple par nettoyage chimique. Selon une variante, le nettoyage est intégré à l'attaque chimique.

Il peut ensuite être procédé à l'assemblage sur une plaque 14 comme expliqué ci-dessus (figure 7, partie D).

Les parties A et B de la figure 8 représentent chacune, en vue de face, une plaque 40, 42 avec la couche 41, 43 de matériau autour de laquelle le détournage a été réalisé. Cette couche 41, 43 est destinée à être reportée sur une deuxième plaque, selon l'un quelconque des modes de réalisation exposés ci-dessus. Sur la partie A de la figure 8 la plaque est munie d'un méplat 44.

D'une manière générale, l'invention présente l'avantage de pouvoir être intégrée dans un procédé de fabrication. C'est notamment le cas lorsque des composants sont préalablement réalisés dans les plaques.

L'invention s'applique également au cas de plaques non chanfreinées, une étape de détournage ou d'élimination de matière dans une zone périphérique d'une de ces deux plaques étant néanmoins réalisée avant assemblage des deux plaques. Les autres étapes de traitement sont similaires à celles décrites selon l'un

ou l'autre des modes de réalisation décrits ci-dessus ou ci-dessous.

Le procédé selon l'invention est également bien adapté à la fabrication de matériau de type BSOI, ou encore au report d'une couche de matériau III-V, sur silicium par exemple.

Dans le cas du BSOI une plaque de silicium est d'abord oxydée pour obtenir une couche d'oxyde de silicium, qui va servir d'oxyde enterré.

Cette plaque est ensuite détournée sur une zone de largeur 1,5 mm qui correspond à la tombée de bord de la plaque, comme expliqué ci-dessus.

La surface de la plaque est ensuite nettoyée, par exemple par des étapes de nettoyage chimique et/ou mécano-chimique.

Sa surface est collée par adhésion moléculaire sur une deuxième plaque, en silicium, et l'ensemble est recuit à 1100°C durant 2 heures.

Une étape de rectification suivie d'un polissage mécano-chimique permet d'amincir la plaque jusqu'à l'épaisseur désirée pour obtenir le substrat SOI.

Ce même procédé peut s'appliquer au report de matériau III-V tel que l'AsGa ou l'InP sur un autre matériau tel qu'un semi-conducteur notamment le silicium.

Ce même procédé peut encore s'appliquer au report de matériaux semi-conducteurs tel que le Germanium ou le siliciure de germanium (SiGe) sur un substrat en un autre matériau tel qu'un semi-conducteur, notamment en silicium.

De même, ce procédé peut être utilisé pour effectuer un report de plaques de matériaux non semi-conducteurs, par exemple des plaques de matériaux isolants comme du verre ou du quartz, ou de matériaux piézo-électriques tels que du LiNbO_3 ou LiTaO_3 , ce qui
5 permet d'obtenir un film mince parfaitement détourné sur un support de même nature ou de nature différente, par exemple un substrat semi-conducteur et notamment en silicium.

10 Les plaques de matériaux préparées et assemblées selon la présente invention sont essentiellement des plaques de matériau brut, ou « bulk » en terminologie anglo-saxonne.

REVENDICATIONS

1. Procédé d'assemblage d'une première et d'une deuxième plaques (12, 14, 22, 24), dont au moins la première, dite plaque chanfreinée, présente au moins un bord (7, 17) chanfreiné, comportant :

- une étape de détournage d'au moins une partie du bord chanfreiné de la première plaque (12, 22),
- 10 - puis, une étape d'assemblage de la première plaque, détournée, et de la deuxième plaque.

2. Procédé selon la revendication 1, comportant en outre, après assemblage, une étape d'amincissement d'au moins la première plaque, laissant subsister au moins une couche (16) sur la deuxième plaque.

3. Procédé de report d'une couche (16, 20 28) de matériau ou de circuits ou de composants, dite couche à reporter, comportant :

- le détournage d'une première plaque (12, 22) de matériau, dans laquelle la couche à reporter est réalisée, au moins autour ou à la périphérie de cette
- 25 couche à reporter,
- le report de cette couche sur une deuxième plaque (14, 24) de matériau.

4. procédé selon la revendication 3, dans lequel on élimine, lors du détournage, une partie du matériau de la couche à reporter.

5. Procédé selon l'une des revendications 1 à 4, l'étape de détournage étant réalisée sur toute l'épaisseur e de la première plaque.

5 6. Procédé selon l'une des revendications 1 à 4, l'étape de détournage étant réalisée sur une épaisseur ed inférieure à l'épaisseur e de la première plaque.

10 7. Procédé selon la revendication 6, l'étape de détournage étant réalisée sur une épaisseur ed supérieure ou égale à une épaisseur d'une couche (16, 28) de la première plaque à reporter sur la deuxième plaque.

15 8. Procédé selon la revendication 7, l'étape de détournage étant réalisée sur une épaisseur ed inférieure ou égale à une épaisseur d'une couche (16, 28) de la première plaque à reporter sur la
20 deuxième plaque.

9. Procédé selon l'une des revendication 1 à 8, comportant une étape de détournage complémentaire après assemblage des première et deuxième plaques.

25 10. Procédé selon l'une des revendications 1 à 9 l'étape de détournage étant réalisée sur une épaisseur ed de la première plaque comprise entre 1 μm et 100 μm .

11. Procédé selon l'une des revendications 1 à 10, la première plaque étant chanfreinée, et comportant au moins un bord chanfreiné (5).

5 12. Procédé selon la revendication 11, l'étape de détournage étant réalisée sur une largeur L_d , mesurée dans un plan parallèle à celui de la première plaque, au moins égale à la largeur L du bord chanfreiné, mesurée dans le même plan.

10 13. Procédé selon l'une des revendications 1 à 12, l'étape de détournage étant réalisée sur une largeur L_d , mesurée dans un plan parallèle à celui de la première plaque, au moins égale à la largeur de la zone de cette première plaque qui ne pourrait, sans
15 détournage, être assemblée avec la deuxième plaque

14. Procédé selon l'une des revendications 1 à 13, l'étape de détournage étant réalisée sur une
20 largeur L_d , mesurée dans un plan parallèle à celui de la première plaque, comprise entre 100 μm et 5 mm.

15. Procédé selon l'une des revendications précédentes, la première plaque présentant un plan de
25 fragilisation (26) définissant une couche mince dans la plaque.

16. Procédé selon la revendication précédente, la première plaque étant détournée sur une
30 épaisseur supérieure à celle de la couche mince.

17. Procédé selon la revendication 16,
suivi :

- d'une étape d'amincissement par
séparation de la première plaque le long du plan de
5 fragilisation, pour laisser subsister la couche mince
sur la deuxième plaque et pour laisser libre une
portion (23) du premier substrat,
- d'une nouvelle étape de formation d'un
nouveau plan de fragilisation dans la portion (23) du
10 premier substrat restée libre,
- d'une étape d'assemblage de cette
portion (23) avec un troisième substrat.

18. Procédé selon l'une des revendications
15 15 à 17, le plan de fragilisation étant réalisé par
implantation ionique ou par formation d'une zone
poreuse enterrée ou par formation d'une interface de
collage démontable.

20 19. Procédé selon l'une des revendications
1 à 18, la première plaque comportant un épaulement
(25) latéral, éliminé lors de l'étape de détournage.

25 20. Procédé selon l'une des revendications
1 à 19, l'assemblage des deux substrats étant réalisé
par adhésion moléculaire, ou par collage à l'aide d'une
substance adhésive.

30 21. Procédé selon l'une des revendications
précédentes, des composants ou des circuits (16) ayant
été réalisés dans la première plaque avant détournage.

22. Procédé selon l'une des revendications précédentes, la première plaque étant préalablement recouverte d'une couche (18) de protection.

5 23. Procédé selon la revendication précédente, la couche de protection étant éliminée localement, avant détournage de la première plaque, dans une zone située au-dessus de la zone à détourner de la première plaque.

10

24. Procédé selon la revendication précédente, l'élimination locale de la couche de protection étant réalisée par lithographie et gravure.

15

25. Procédé selon l'une des revendications précédentes, le détournage ayant lieu après une étape préalable de préparation de surface de la première plaque en vue de l'assemblage ou du report.

20

26. Procédé selon l'une des revendications 1 à 24, le détournage ayant lieu avant une étape préalable de préparation de surface de la première plaque en vue de l'assemblage ou du report.

25

27. Procédé selon l'une des revendications précédentes, le détournage étant réalisé par attaque mécanique ou chimique ou mécano-chimique ou par attaque par plasma ou par combinaison d'au moins deux de ces types d'attaque.

30

28. Procédé selon l'une des revendications précédentes, au moins une des deux plaques étant en matériau semi-conducteur

5 29. Procédé selon la revendication précédente, au moins une des deux plaques étant en silicium ou en matériau semi-conducteur de type III-V.

10 30. Procédé selon l'une des revendications 1 à 27, au moins une des deux plaques étant en Germanium ou en siliciure de Germanium ou en un matériau piézoélectrique ou en un matériau isolant.

ABRÉGÉ DESCRIPTIF

L'invention concerne un procédé
d'assemblage d'une première et d'une deuxième plaques
5 (12, 14) de matériaux, comportant :

- une étape de détournage d'au moins la
première plaque (12),
- une étape d'assemblage de la première et
de la deuxième plaques.

10

Figures 3A - 3D.

1/6

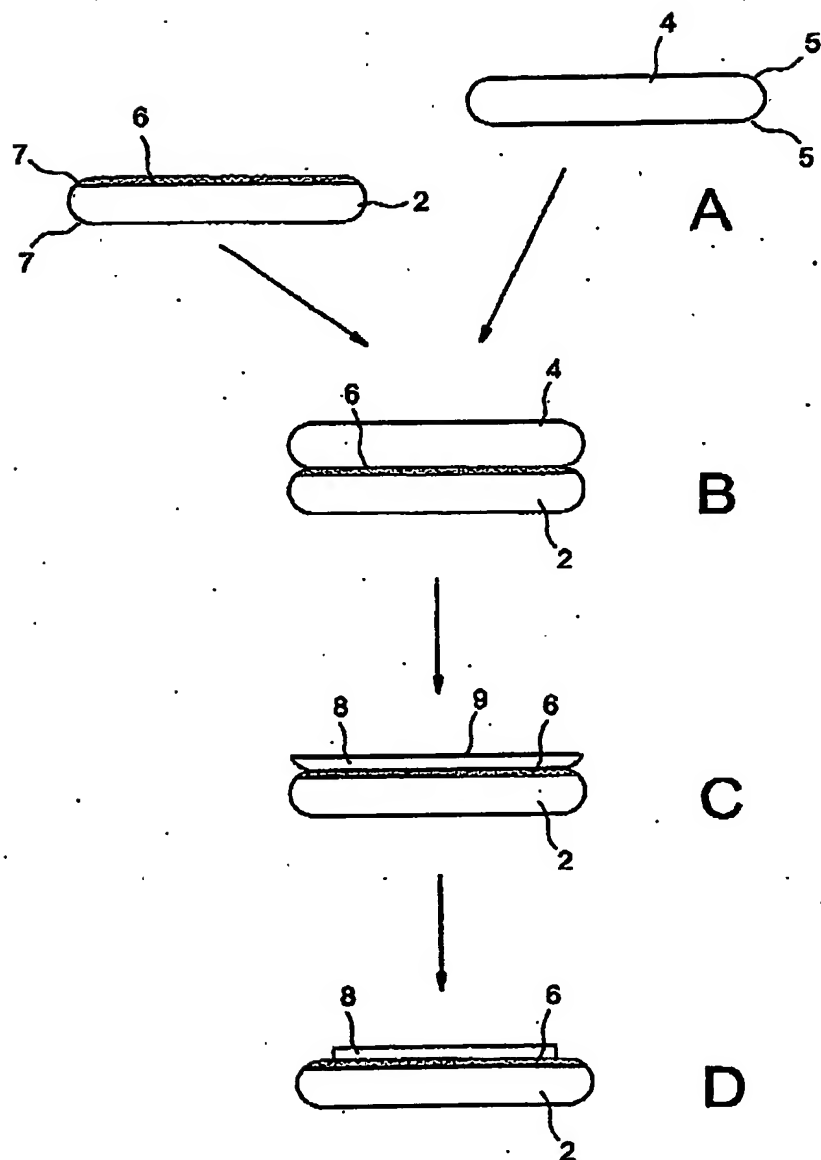


FIG. 1

2 / 6

FIG. 2

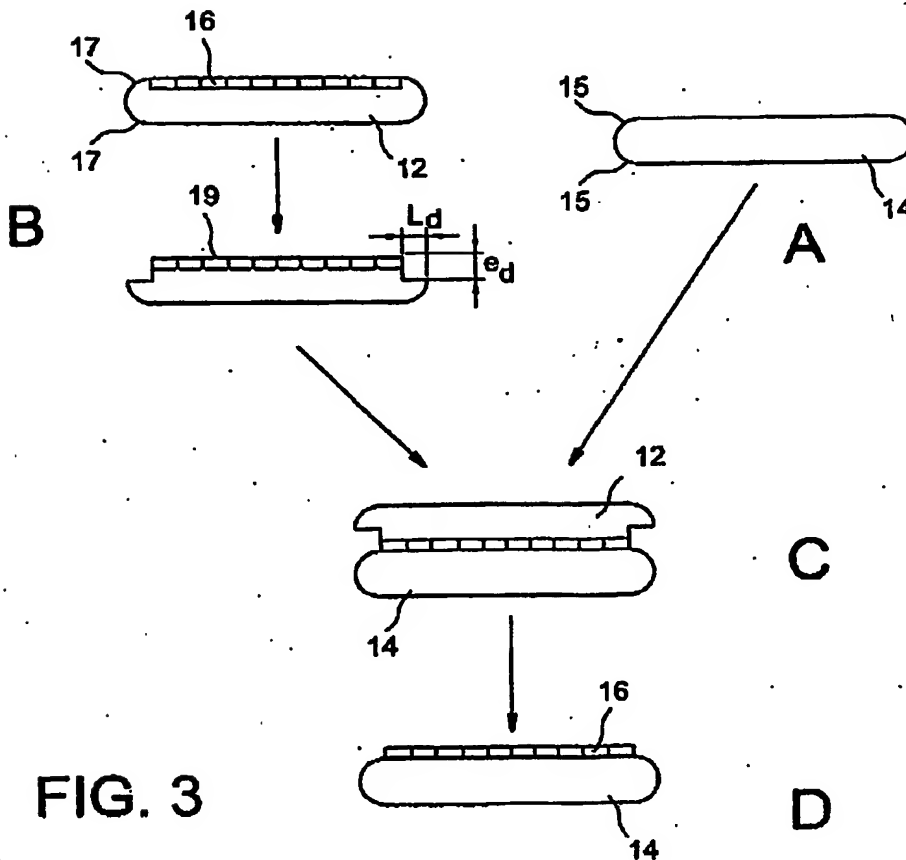
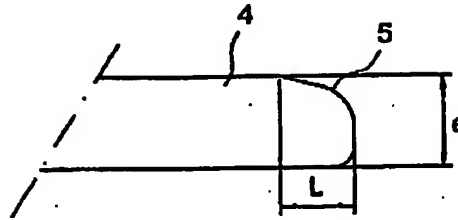


FIG. 3

3 / 6

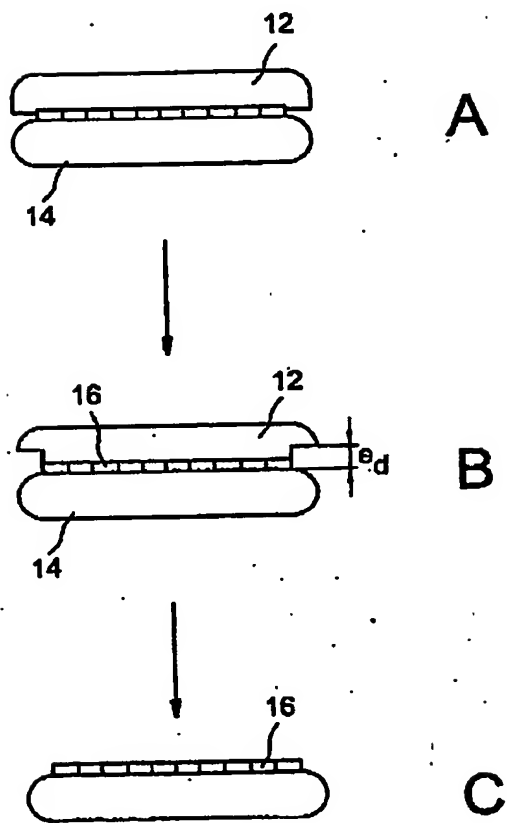


FIG. 4

4 / 6

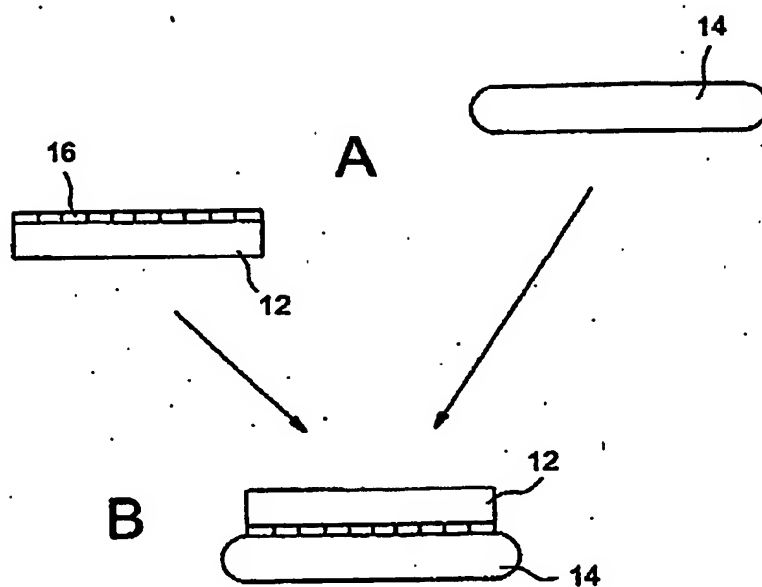


FIG. 5

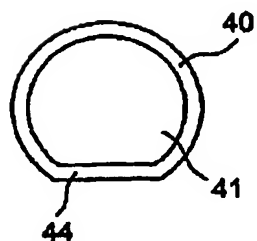


FIG. 8A

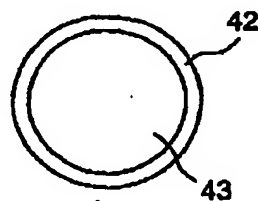


FIG. 8B

5 / 6

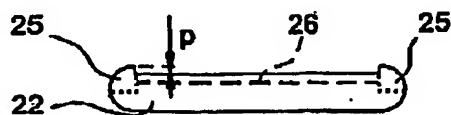
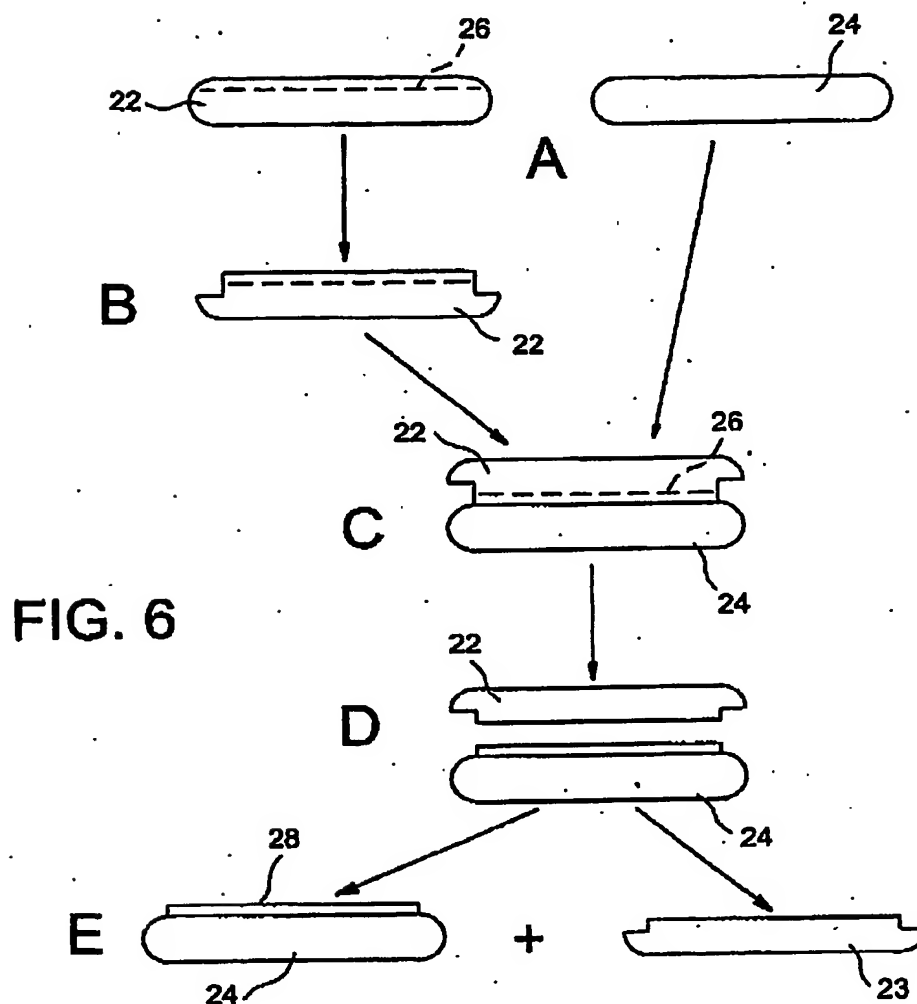


FIG. 9

6/6

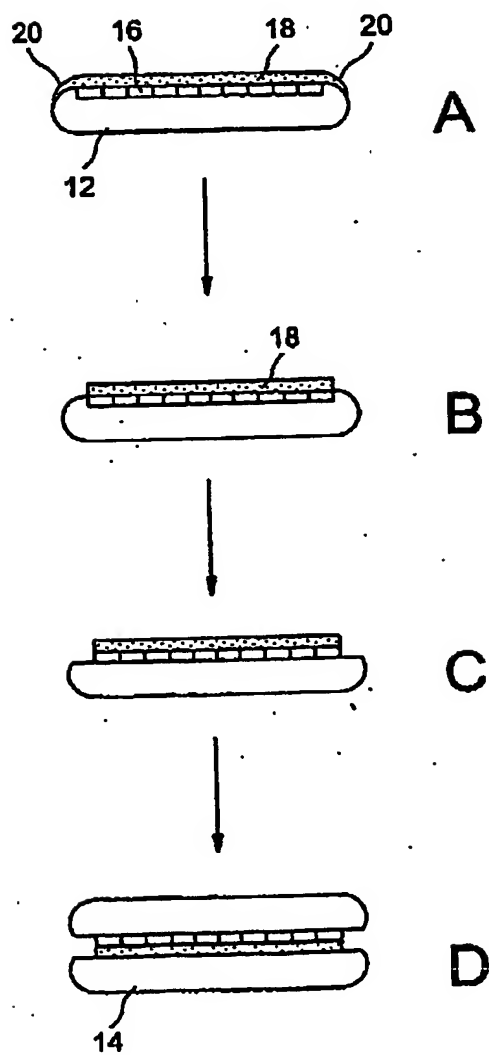


FIG. 7